

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-045763

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H02M 7/12
H02M 3/155

(21)Application number : 2000-153851 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 24.05.2000 (72)Inventor : TSUCHIYAMA YOSHIRO
YOSHIOKA KANEHARU
UEDA MITSUO
OGAWA MASANORI
MATSUSHIRO HIDEO

(30)Priority

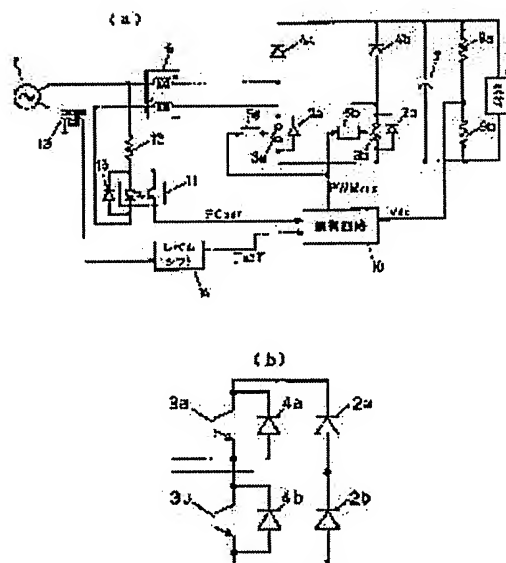
Priority number : 11146704 Priority date : 26.05.1999 Priority country : JP

(54) CONVERTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a converter circuit in which high power factor can be obtained easily while keeping high efficiency.

SOLUTION: In a single phase PWM converter circuit, rectifying diodes 2a, 2b having low forward voltage drop, high speed diodes 4a, 4b having fast recovery performance and switching elements 3a, 3b are arranged to perform pulse width control. In order to reduce the size of a detection circuit while dealing with a plurality of power supply frequencies, an AC input voltage is short-circuited to the primary of one photocoupler 11 through a resistor element and secondary voltage of the photocoupler 11 is inputted to a control circuit 10. Frequency or period of the AC input voltage is calculated from the inversion period of the secondary voltage of the photocoupler thus determining the input frequency.



cited Reference 7.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-45763
(P2001-45763A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. ⁷ H 0 2 M 7/12	識別記号 6 0 1	F I H 0 2 M 7/12	テーマコード (参考) P B 6 0 1 B F
3/155		3/155	

審査請求 未請求 請求項の数18 O L (全 15 頁)

(21) 出願番号 特願2000-153851 (P2000-153851)
(22) 出願日 平成12年5月24日 (2000.5.24)
(31) 優先権主張番号 特願平11-146704
(32) 優先日 平成11年5月26日 (1999.5.26)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 土山 吉朗
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 吉岡 包晴
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 100092794
弁理士 松田 正道

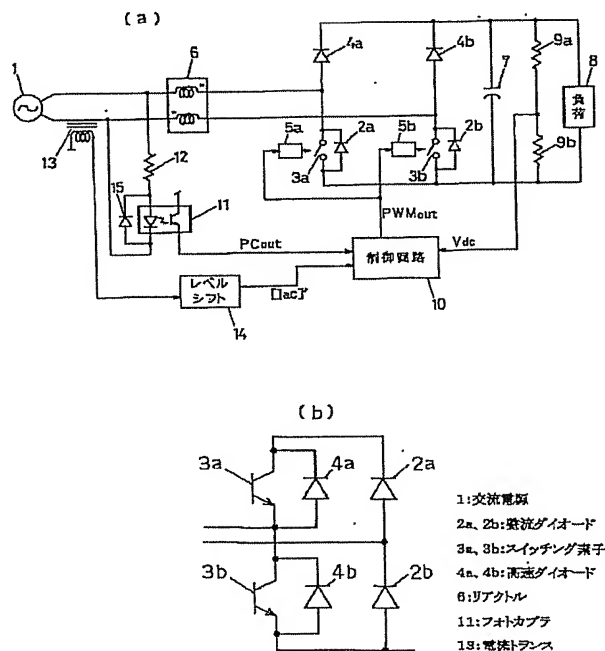
最終頁に続く

(54) 【発明の名称】 コンバータ回路

(57) 【要約】

【課題】 コンバータ回路において、簡易的に高効率を得、高効率を保つこと。

【解決手段】 単相PWMコンバータ回路において、低順方向電圧降下の整流ダイオード2a、2bとファーストリカバリー性能を有する高速ダイオード4a、4bの2種類のダイオードとスイッチング素子3a、3bを用いてパルス幅変調制御するように構成し、検出回路を小型化するため複数の電源周波数対応せしめるために、入力交流電圧を例えば1つのフォトカプラ11の一次側と抵抗素子にて短絡せしめ、フォトカプラ11の二次側の電圧を制御回路10に入力するよう構成し、フォトカプラ二次側電圧の反転周期より、入力交流電圧の周波数F_{ac}もしくは周期T_{ac}を算出し、入力周波数を判別する。



【特許請求の範囲】

【請求項 1】 交流電源に接続されたリアクトルと、そのリアクトルに接続された、高速ダイオード、整流ダイオード及びその整流ダイオードに並列に接続されたスイッチング素子を有する PWM コンバータ回路と、もしくは、

前記リアクトルに接続された、2組の高速ダイオードとスイッチング素子との並列回路により構成されたアーム、及び、前記交流電源の他の端子に対して接続された、2組の整流ダイオードにより構成されたアームで、構成された PWM コンバータ回路と、前記 PWM コンバータ回路の入力電流を検出する入力電流検出手段と、前記 PWM コンバータ回路の出力電圧を検出する直流電圧検出手段と、

前記交流電源に接続された電圧極性検出手段と、その電圧極性検出手段による検出結果の変動周期を計測して、電源周波数を判別し、その判別結果、前記電圧極性検出手段の検出結果、前記入力電流検出手段により検出された入力電流、及び前記直流電圧検出手段により検出された出力電圧に基づいて、前記 PWM コンバータ回路を制御する制御手段と、を備えたことを特徴とするコンバータ回路。

【請求項 2】 前記電圧極性検出手段は、前記交流電源に接続されたフォトカプラを有するものであり、前記フォトカプラの 2 次側の電圧を検出結果とすることを特徴とする請求項 1 に記載のコンバータ回路。

【請求項 3】 前記制御手段は、前記電圧極性検出手段の検出結果に基づいて、正弦波を発生する正弦波発生手段を有するものであって、前記電圧極性検出手段の検出結果の変動周期 T_{ac} 、前記電圧極性検出手段の検出結果の立ち上がり時刻 T_{on} 、前記電圧極性検出手段の検出結果の立ち下がり時刻 T_{off} を逐次計測して、

$$(2 \cdot T_{on} + 2 \cdot T_{off} + T_{ac}) / 4、$$

および

$$(2 \cdot T_{on} + 2 \cdot T_{off} + 3 \cdot T_{ac}) / 4$$

の時刻を、交流電源電圧のゼロクロス時刻とし、正弦波波形の生成を開始することを特徴とする請求項 1 に記載のコンバータ回路。

【請求項 4】 前記制御手段は、前記電圧極性検出手段の検出結果に基づいて、正弦波を発生する正弦波発生手段を有するものであって、前記電圧極性検出手段の検出結果の変動周期 T_{ac} 、前記電圧極性検出手段の検出結果の立ち上がり時刻 T_{on} 、前記電圧極性検出手段の検出結果の立ち下がり時刻 T_{off} を逐次計測して、前記 T_{ac} を用いて、次の T_{on} および T_{off} を予測し、 T_{on} もしくは T_{off} が検出されなかった場合には、前記予測値を用い、 T_{on} もしくは T_{off} が検出された場合には、予測結果を検出された値を利用して、修

正することを特徴とする請求項 3 に記載のコンバータ回路。

【請求項 5】 前記電圧極性検出手段の検出結果の変動周期 T_{ac} 、前記電圧極性検出手段の検出結果の立ち上がり時刻 T_{on} 、前記電圧極性検出手段の検出結果の立ち下がり時刻 T_{off} の逐次計測および演算は、前記 PWM コンバータ回路の PWM 制御周期毎に行うことを特徴とする請求項 3、又は 4 に記載のコンバータ回路。

【請求項 6】 前記制御手段は、前記電圧極性検出手段の検出結果の立ち上がり時刻 T_{on} 、前記電圧極性検出手段の検出結果の立ち下がり時刻 T_{off} の逐次計測および演算を行う場合に、前記 PWM コンバータ回路の PWM 制御周期毎に、 n 回連続で同一状態であることを確認して、少なくとも 1 つの前記演算処理を行うなかで、前記 PWM 制御周期 ($n - 1$) 回数分に相当する時間だけ進めて算出することを特徴とする請求項 3、4、又は 5 に記載のコンバータ回路。

【請求項 7】 前記制御手段は、前記得られた正弦波波形を入力電流波形の基準波形とし、所定の出力直流電圧設定値と前記検出した出力電圧との誤差と、前記正弦波波形の振幅とを乗算しその結果を入力電流波形の設定値とし、その入力電流波形の設定値と前記入力電流検出手段により検出された入力電流との誤差を用いて、前記 PWM コンバータ回路を PWM 制御するものであって、さらに、前記 PWM コンバータ回路の PWM 制御デューティが一定範囲となるよう、直流出力電圧の設定値を調節することを特徴とする請求項 3 に記載のコンバータ回路。

【請求項 8】 前記入力電流検出手段は、前記交流電源の 1 つの線を一次側とする電流トランスを有し、前記制御手段は、前記電流トランスの二次側出力が周波数特性補正手段および絶対値変換手段を経由した値を、検出入力電流 ($|I_{ac}|$) とし、入力電圧波形の絶対値もしくは前記正弦波発生結果の絶対値と前記出力電圧の誤差に基づく値との乗算結果を入力電流設定値 ($|I_{ac}|^*$) とする、ことを特徴とする請求項 3 に記載のコンバータ回路。

【請求項 9】 交流電源の両端に接続した 1 つのコアを共有してなる一対のリアクトルと、その一対のリアクトルの反対側の端子に接続され、高速ダイオード及び整流ダイオード及びそれに並列に接続されたスイッチング素子を有する PWM コンバータ回路と、その PWM コンバータ回路の入力電流を検出する入力電流検出手段と、前記 PWM コンバータ回路の出力電圧を検出する直流電圧検出手段と、前記検出した入力電流及び前記検出した出力電圧に基づき前記 PWM コンバータ回路を制御する制御手段とを備えたことを特徴とするコンバータ回路。

【請求項 10】 交流電源もしくは、交流電源を整流した回路に接続されたリアクトルと、コンバータ出力の一

方をスイッチング素子にて短絡することにより前記リアクトルに電流を充電せしめ、前記スイッチング素子をオフすることにより前記リアクトルに充電された電流をダイオードを介して出力させる制御手段とを備えた昇圧型のコンバータ回路であって、

前記制御手段は、出力直流電圧とその設定値との誤差に対して、誤差の積分演算機能と誤差の比例演算機能とを並列に設け、前記 2 つの演算機能の出力の和を利用して入力電流設定値の振幅を決定し、前記誤差が一定以上になった場合には、前記積分演算機能の出力をそれまでの値に固定することを特徴とするコンバータ回路。

【請求項 11】 交流電源もしくは、交流電源を整流した回路に接続されたリアクトルと、コンバータ出力の一方をスイッチング素子にて短絡することにより前記リアクトルに電流を充電せしめ、前記スイッチング素子をオフすることにより前記リアクトルに充電された電流をダイオードを介して出力させる制御手段とを備えた昇圧型のコンバータ回路であって、

前記制御手段は、出力直流電圧とその設定値との誤差に対して、誤差の積分演算機能と誤差の比例演算機能とを並列に設け、前記 2 つの演算機能の出力の和と前記交流電源の電圧波形の絶対値との乗算結果を利用して入力電流設定値を決定し、前記誤差に基づく入力電流設定値が一定以上になった場合には、所定の値で制限することを特徴とするコンバータ回路。

【請求項 12】 交流電源もしくは、交流電源を整流した回路に接続されたリアクトルと、コンバータ出力の一方をスイッチング素子にて短絡することにより前記リアクトルに電流を充電せしめ、前記スイッチング素子をオフすることにより前記リアクトルに充電された電流をダイオードを介して出力させる制御手段とを備えた昇圧型のコンバータ回路であって、

前記制御手段は、出力直流電圧が所定の値よりも高い場合には、前記スイッチング素子をオフすることを特徴とするコンバータ回路。

【請求項 13】 交流電源もしくは、交流電源を整流した回路に接続されたリアクトルと、コンバータ出力の一方をスイッチング素子にて短絡することにより前記リアクトルに電流を充電せしめ、前記スイッチング素子をオフすることにより前記リアクトルに充電された電流をダイオードを介して出力させる制御手段とを備えた昇圧型のコンバータ回路であって、

前記制御手段は、出力直流電圧とその設定値との誤差に対して、誤差の積分演算機能と誤差の比例演算機能とを並列に設け、前記 2 つの演算機能の出力の和と前記交流電源の電圧波形の絶対値との乗算結果を利用して入力電流設定値を決定し、入力電流の絶対値を検出し、その絶対値と入力電流設定値との誤差を得て、その誤差に対して、低周波域で積分特性を有する比例積分型特性の演算、もしくは低周波域で積分特性を有する比例積分型で

且つ高周波域で平坦特性を有する特性の演算を行って、前記スイッチング素子のオン・オフデューティとすることを特徴とするコンバータ回路。

【請求項 14】 交流電源もしくは、交流電源を整流した回路に接続されたリアクトルと、コンバータ出力の一方をスイッチング素子にて短絡することにより前記リアクトルに電流を充電せしめ、前記スイッチング素子をオフすることにより前記リアクトルに充電された電流をダイオードを介して出力させる制御手段とを備えた昇圧型のコンバータ回路であって、

前記制御手段は、出力直流電圧とその設定値との誤差に対して、誤差の積分演算機能と誤差の比例演算機能とを並列に設け、前記 2 つの演算機能の出力の和と前記交流電源の電圧波形の絶対値との乗算結果を利用して入力電流設定値を決定し、入力電流の絶対値を検出し、その絶対値と入力電流設定値との誤差を得て、その誤差に対して、低周波域で積分特性を有する比例積分型特性の演算、もしくは低周波域で積分特性を有する比例積分型で且つ高周波域で移動平均特性を有する特性の演算を行って、その演算結果に基づいて、前記スイッチング素子のオン・オフデューティとすることを特徴とするコンバータ回路。

【請求項 15】 前記制御手段は、前記誤差に対して行った演算結果に対して、入力電圧の絶対値を $|V_{ac}|$ 、入力電流絶対値指令を $|I_{ac}|^*$ 、出力直流電圧設定値を V_{dc}^* 、前記リアクトルのインダクタンスを L 、前回演算時の入力電流絶対値指令を $|I_{ac}|^*_{old}$ として、下記の式

$$dff = (V_{dc}^* - |V_{ac}|) / V_{dc}^* + L \cdot (|I_{ac}|^* - |I_{ac}|^*_{old}) / V_{dc}^*$$

で算出した値 dff を加算して、前記スイッチング素子のオン・オフデューティとすることを特徴とする請求項 14 に記載のコンバータ回路。

【請求項 16】 前記制御手段は、前記誤差に対して行った演算結果に対して、入力電圧の絶対値を $|V_{ac}|$ 、入力電流絶対値指令を $|I_{ac}|^*$ 、出力直流電圧設定値を V_{dc}^* 、前記リアクトルのインダクタンスを L 、前回演算時の入力電流絶対値指令を $|I_{ac}|^*_{old}$ として、下記の式

$$dff = (V_{dc}^* - |V_{ac}|) / V_{dc}^* + L \cdot (|I_{ac}|^* - |I_{ac}|^*_{old}) / V_{dc}^*$$

で算出した値 dff に対し、1 より小さい値を乗じた値を加算して、前記スイッチング素子のオン・オフデューティとすることを特徴とする請求項 14 に記載のコンバータ回路。

【請求項 17】 前記制御手段は、前記誤差に対して行った演算結果に対して、入力電圧の絶対値を $|V_{ac}|$ 、出力直流電圧設定値を V_{dc}^* として、下記の式

$$dff = (V_{dc}^* - |V_{ac}|) / V_{dc}^*$$

で算出した値 dff に対し、1 もしくは 1 より小さい値を

乗じた値を加算して、前記スイッチング素子のオン・オフデューティとすることを特徴とする請求項 1 4 に記載のコンバータ回路。

【請求項 1 8】 前記制御手段は、前記出力直流電圧設定値 V_{dc}^* のかわりに出力電圧値 V_{dc} を、及び／又は、入力電流絶対値指令 $|I_{ac}|^*$ 、 $|I_{ac}|^{*old}$ のかわりに実際の入力電流値 $|I_{ac}|$ 、 $|I_{ac}|^{old}$ を用いることを特徴とする請求項 1 5 から 1 7 のいずれかに記載のコンバータ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、交流電力を直流電力に変換する回路に関するものであり、パルス幅変調技術を用いて、入力電流に含まれる高調波成分が少なくなるように制御される高力率なコンバータ回路に関するものである。

【0002】

【従来の技術】従来、電源高調波歪みを抑制し力率改善の機能を有する電源装置は、交流入力電流が正弦波状となるよう制御する昇圧コンバータ回路を具備している。例えば、特開昭 63-224698 公報等に述べられているように、特に単相入力電源では回路構成が簡単なことから入力電圧を整流後、昇圧コンバータ回路で入力電流を制御している。この従来技術は、図 19 に示すような構成となる。すなわち、交流電源 1 を一旦整流ダイオード回路 102a、102b、102c、102d で整流後、リアクトル 106 とスイッチング素子 103 とダイオード 104 と平滑コンデンサ 7 で構成された昇圧コンバータ回路で直流電源を作り、負荷 8 に供給するものである。

【0003】図 21 は、図 19 の回路を制御する制御回路 110 の制御ブロック図である。図 21 において、比較手段 37 において設定直流電圧 V_{dc}^* と図 19 の抵抗 9a、9b より得られた実際の直流電圧 V_{dc} との誤差 V_{err} を得て、補償フィルタ 32 を経由して、図 19 の抵抗 111a、111b により得られた整流出力 $|V_{ac}|$ を乗算器 31 に入力し、設定電流情報 $|I_{ac}|^*$ を得る。この $|I_{ac}|^*$ は、図 19 の抵抗 113 の両端電圧で検出された実際の入力電流情報 $|I_{ac}|$ と比較手段 38 で比較され、その誤差情報 $|I_{ac}|_{err}$ が得られ、補償フィルタ 133 に送られる。補償フィルタ 133 では入力電流波形制御が安定になるためのフィルタ演算が行われる。補償フィルタ 133 の出力は比較器 34 に送られ、発振器 35 からの出力信号と比較され、パルス幅変調信号 PWMout となる。パルス幅変調信号 PWMout は図 19 においてゲート駆動回路 105 を経てスイッチング素子 103 を駆動制御する。

【0004】また、図 20 は、図 19 の回路における電力の通過素子である 5 個の整流ダイオードの数を 4 つに減少させた回路であり、昇圧型 PWM コンバータによる

ものである。交流電源 1 は、リアクトル 106 を經由して、{下アームがスイッチング素子 3a、3b と整流ダイオード 2a、2b で構成され、上アームが高速ダイオード 4a、4b} で構成された整流ブリッジ回路に入力される。整流ブリッジ回路の出力には、図 19 の場合と同様に、平滑コンデンサ 7、負荷 8 および出力電圧検出用の抵抗 9a、9b が接続されている。また、入力電流波形の検出のために、電流センサ 213 が具備され、また入力電圧波形の検出のためトランス 211 が具備されている。図 19 の場合と同様の入力電流波形情報 $|I_{ac}|$ を得るためにダイオードブリッジ回路 251a、251b、251c、251d が設けられ、その結果が制御回路 110 に送られる。同様に、図 19 の場合と同様の入力電圧波形情報 $|V_{ac}|$ を得るためにダイオードブリッジ回路 212a、212b、212c、212d が設けられ、その結果が制御回路 110 に送られる。制御回路 110 の処理構成は図 21 と同じである。

【0005】

【発明が解決しようとする課題】しかしながら、従来技術のうち前者では、交流電源の出力を一旦整流ダイオード回路で整流したのち昇圧コンバータ回路を動作させていたため、回路上、主回路電流の通過素子数が多くなり、基本的な損失が多くなるという課題を有している。

【0006】また、従来技術の後者では、主回路電流の通過素子数は減るものの、入力電圧波形検出や入力電流波形の検出が複雑かつ大型になる。この検出が複雑になるために、検出のための消費電力なども無視できなくなる。また、スイッチング素子数が増加するため、ノイズが出やすくなるという多くの課題を有している。

【0007】また、主回路構成がどちらの場合であっても、共通する基本課題としての簡易的に高力率を得る方法や高効率を保つ方法、電源変動時の安全動作方法なども開示されていない。

【0008】本発明は、従来のコンバータ回路のこのような課題を考慮し、回路上、主回路電流の通過素子数を減らし、回路損失を低減し、効率向上を目指すと共に、主回路の損失のみではなく、簡単なる構成にて、検出回路の小型化・低損失化や低ノイズ化などを実現させ、かつ、高力率を得ることができるコンバータ回路を提供することを目的とするものである。

【0009】

【課題を解決するための手段】請求項 1 から 8 までの本発明は、単相 PWM コンバータ回路において、低順方向電圧降下の整流ダイオードとファーストリカバリー性能を有する高速ダイオードの 2 種類のダイオードとスイッチング素子を用いてパルス幅変調制御するように構成され、以下の各発明にそれぞれ対応する。

(1) 検出回路を小型化するためと複数の電源周波数対応せしめるために、入力交流電圧を例えば 1 つのフォトカプラの一次側と抵抗素子にて短絡せしめ、フォトカプ

10

20

30

40

50

ラの二次側の電圧を制御回路に入力するよう構成し、フォトカプラ二次側電圧の反転周期より、入力交流電圧の周波数 F_{ac} もしくは周期 T_{ac} を算出し、入力周波数を判別する。

(2) 検出回路の損失を低減するために、フォトカプラ二次側のオン時刻 T_{on} とからオフ時刻 T_{off} と算出した周期 T_{ac} を用いて、 $(2 \cdot T_{on} + 2 \cdot T_{off} + T_{ac}) / 4$ 、 $(2 \cdot T_{on} + 2 \cdot T_{off} + 3 T_{ac}) / 4$ 、の時刻を交流入力電圧のゼロクロス時刻とする。

(3) 電源の変動に対しても安定に動作させるために、フォトカプラ二次側のオン時刻およびオフ時刻に対して、算出した周期を用いて次のオン時刻およびオフ時刻を予測し、実際に検出された次のオン時刻およびオフ時刻との差の極性に基づいて、次回のオン時刻およびオフ時刻の予測時刻を微小修正する。

(4) 制御回路の構成を簡単にするために、各々の時刻の計算における時刻の刻みは、パルス幅変調制御の基準となる周期をもって行う。

(5) 高力率を実現するために、制御手段は、フォトカプラ二次側出力情報を周期毎に入力し、 n 回連続してオン状態もしくはオフ状態を確認した後、前述のピーク時刻およびゼロクロス時刻の算出を行い、そのなかで、「 $n-1$ 」入力処理に要する時間を手前に進めて、前述の時刻を算出する。

(6) 主回路損失を低減させるために、制御手段は、刻みの時間毎に、ゼロクロス時刻にてゼロクロスとなる正弦波を発生せしめ、発生した正弦波と同一形状になるように入力電流をパルス幅変調制御し、発生した正弦波のピーク近傍で、パルス幅変調制御のデューティの最低値が略一定値となるよう、直流出力電圧の設定値を調整する。

(7) ノイズを少なくするため、1つのコアを共有してなる1対のリアクトルを、単相PWMコンバータの2端の入力に対して、それぞれがリアクトルの各々を経由するよう接続する。

(8) 検出回路の損失を低減するため、交流電源入力線に対して、電源入力線を一次側とする電流トランスを構成し、電流トランスの二次側出力を制御回路に入力し、制御回路では、電流トランスの二次側出力の周波数特性を補償する演算を行う。

【0010】また、請求項9から13までの本発明は、リアクトルとスイッチング素子と高速ダイオードより構成される主回路を有し、パルス幅変調制御することにより、単相交流入力電源電流の力率を改善せしめ、かつ、出力直流電圧の制御をも行うように構成され、以下の各発明に対応する。

(9) 出力直流電圧とその設定値との誤差に対して、誤差の積分演算機能と誤差の比例演算機能を並列に設け、2つの演算機能の出力の和をもって入力電流指令を決定するよう構成し、積分演算機能は、誤差が一定以上にな

った場合には、積分演算機能の出力をそれまでの値に固定する。

(10) 電圧誤差情報に基づく電流指令演算値が所定の値を上回った場合には所定の値で制限する。

(11) 出力電圧の設定値に対して、出力電圧が所定の幅以上高い場合にはスイッチング素子を強制的にオフさせる。

(12) 電流誤差情報に基づく安定制御のための制御演算は、低周波域で積分特性を有するPI型、高周波域で平坦もしくは移動平均特性を有する特性とする。

(13) 制御回路は実際の交流電流と指令電流との電流誤差情報をもとに安定制御のための補償演算を行って得られたパルス幅変調指令情報と、リアクトル値： L 、目標電流値： I^* 、入力電圧値： V_{ac} 、出力直流電圧設定値： V_{dc}^* との間に、下記の演算式による値 d_{ff} を加算して、パルス幅変調指令情報とする。

$$d_{ff} = (V_{dc}^* - |V_{ac}|) / V_{dc}^* + L \cdot (|I_{ac}|^* - |I_{ac}|_{old}) / V_{dc}^*$$

ここで、「 $|I_{ac}|_{old}$ 」は1刻み前の電流指令値である。

【0011】

【発明の実施の形態】以下に、本発明をその実施の形態を示す図面に基づいて説明する。

(第1の実施の形態) 図1(a)は、本発明にかかる第1の実施の形態のコンバータ回路を示す構成図である。図1(a)において、交流電源1の出力端からチョーク6を経由して下アームが整流ダイオード2a、2b、スイッチング素子3a、3bで構成され、上アームが高速ダイオード4a、4bより構成されるブリッジ回路に入力される。ブリッジ回路の出力には平滑コンデンサ7、負荷8、及び抵抗9a、9bからなる出力電圧検出回路が接続されている。また、交流電源1には、電流トランス13と、抵抗12およびフォトカプラ11からなる電圧極性検出回路が接続されている。フォトカプラ11の一次側に並列接続されたダイオード15はフォトカプラ11の保護用である。電流トランス13はレベルシフト手段14を経て、また、電圧極性検出回路はフォトカプラ11の二次側からそれぞれ制御回路10に検出情報を入力する。制御回路10は、入力電流情報 $[I_{ac}]^*$ と、電圧極性情報 P_{Cout} 、直流電圧 V_{dc} に基づき、スイッチング素子3a、3bの適切なパルス幅変調出力 PWM_{out} を算出し、それぞれのスイッチング素子の駆動制御回路5a、5bに出力する。

【0012】なお、コンバータ回路のブリッジ部分は、図1(a)に限らず、図1(b)に示すように、前記リアクトル6に接続された、2組の高速ダイオード4a、4bとスイッチング素子3a、3bとの並列回路により構成されたアーム、及び、前記交流電源1の他の端子に対して接続された、2組の整流ダイオード2a、2bにより構成されたアームで構成されたPWMコンバータ回

路であってもよい。

【0013】次に制御回路10の概要について、図2を用いて説明する。図1でのフォトカプラ11の出力PCoutは正弦波発生手段36に入力され、正弦波の絶対値を再生し、乗算器31に入力される。正弦波発生手段36の動作は後述する。一方、加減算器37にて、直流電圧出力の設定値Vdc*と実際の直流電圧Vdcとの差に直流電圧設定調整値ΔVdc*を加算して得られた電圧誤差信号Verrが、補償フィルタ32に入力される。補償フィルタ32では、直流電圧制御系が安定動作するための補償演算を行う。補償演算内容は後述する。補償フィルタ32の結果は乗算器31に送られ、正弦波絶対値との乗算を行う。乗算結果は入力電流指令値|Iac|*となり、入力電流相当値|Iac|と加減算器38にて比較され、入力電流誤差情報|Iac|errを得る。

【0014】入力電流相当値|Iac|は、電流検出手段13およびレベルシフト回路14を経て波形等化回路40および折り返し手段39を経由して得られたものである。入力電流相当値が得られるまでのプロセスについては後述する。入力電流誤差情報|Iac|errは補償フィルタ33に送られ、入力電流制御系が安定に動作するための補償演算を行う。補償フィルタ33の結果は比較器34に送られ、発振器35の出力と比較されてパルス幅変調信号PWMoutを得る。パルス幅変調信号PWMoutは、図1のスイッチング素子駆動制御回路5a、5bに送られて、スイッチング素子3a、3bを駆動する。また、補償フィルタ33の出力は、判定手段41に送られる。判定手段41の結果は直流電圧設定調整値ΔVdc*として、加減算器37に入力される。判定手段41の内容は後述する。

【0015】また、これらすべての演算は、発振器35の出力に同期して行うことにより、タイミング管理を容易にしている。発振器35の周波数は、スイッチング素子3a、3bによるスイッチング周波数となるので、リアクトル6での電流リップルによる電磁音が聞こえないように20kHz程度あるいはそれ以上の周波数値が採用される。

【0016】図3、図4、図5、図6は、図2の正弦波発生手段36の動作を示した波形図である。図3の波形図は入力電源電圧Vacとフォトカプラ出力PCoutとの関係を示したものである。入力電源電圧が所定の値を超えると、フォトカプラ11がONし、PCoutがHiレベルとなる。図3で明らかなように、Hiレベルの期間とLoレベルの期間とは同じとは限らない。Hiレベル期間とLoレベル期間とを等しくするには、抵抗12を小さくしてフォトカプラ11の一次側の電流を増加する必要がある。しかしながら、これは現実的には消費電力を増加させてしまい、主回路の損失を減少させる目的に矛盾をきたす。Hiレベル期間とLoレベル期間の一致しないフォトカプラ出力を制御回路10に入力し、制御

回路10ではPCout信号の立ち上がり時刻、ton(1)、ton(2)、... および立ち下がり時刻toff(1)、toff(2)、... を計測する。制御回路では、例えば、立ち上がり時刻の間隔を求めると、入力電源の周期tacとなる。すなわち入力電源の周波数を知ることができる。電源周波数は一般に50Hzもしくは60Hzであるので、周期は20msもしくは16.7msとなり、スイッチング周波数の周期50μsで400カウントもしくは333カウント程度になり、計測誤差などの影響があっても、容易に弁別することができる。

【0017】このようにして得られた電源周波数値は、スイッチング周期毎にどれだけ電源位相が進んだかを算出する。すなわち、スイッチング周期毎に50Hzの場合には360/400度ずつ進めていけばよく、60Hzの場合は360/333度ずつ進めていけばよい。更に又、負荷として脈動トルクを有するものをモータで駆動するときなどに、モータ回転数と電源周波数との干渉ポイントを回避するのにも用いられる。

【0018】図4は、図3と同じ波形図から、電源電圧のゼロクロス時刻の算出方法を示すものである。図4から明らかなように、PCoutの立ち上がり時刻ton(1)と立ち下がり時刻toff(1)との中間時刻tpは電源電圧のピーク時刻になる。したがって、ピーク時刻tpから90度(tac/4)遅れの時刻が立ち下りのゼロクロス時刻であり、ピーク時刻tpから270度(3・tac/4)遅れの時刻が立ち上りのゼロクロス時刻になる。このゼロクロス時刻を用いて正弦波テーブルのゼロを読み出すタイミングが決定できる。

【0019】図5は、入力電源状態が安定せず、瞬時停電などが発生しても安定動作するための処理方法を示す、タイミング波形図である。ton(1)、toff(1)までは正常な電源であったと仮定する。この時刻と電源周期tacをもとに、次のPCoutの変化時刻t'on(2)、t'off(2)を予測しておく。図5のように、PCoutが変化しなければ、予測値をそのまま採用する。さらに、次々回の変化時刻t'on(3)、t'off(3)を予測する。もし、PCoutの変化が検出できなければ同様の処理となる。また、PCoutの変化が検出された場合は、実際の値ton(3)、toff(3)を用いて修正処理を行う。修正処理を行う理由は図5のton(3)のように、正常な変化タイミングで無い場合も考えられるからである。修正処理は、予測値t'on(3)に対して実際値ton(3)が遅れた場合には、予測値t'on(3)を1刻み遅らせた値を使用する。このようにしておくと、1回だけのずれに対してはほとんど影響を受けない。また、何らかの影響で入力電源の位相が揺らいでいる場合にも追従することができる。

【0020】図6は、制御回路10でPCout出力を読み込むときにノイズなどで影響を受けないようにした場合の処理方法を示す図である。一般に制御回路10はマイクロコンピュータなどで実現されており、端子読み込

みに際しては、複数回読み込みを行ってノイズで誤動作をしないようにしている。図6は3回連続読み込みによる確認を行った場合の認知結果を示している。認知結果は連続読み込み確認のため実際よりは遅れたタイミングになっている。しかしながら、認知結果を2回分進めると、実際の信号PCoutに対して1刻み以内の遅れ時間とすることができる。一般化すると、複数回の読み込み回数を「n」とすると「n-1」刻み分進めることになる。

【0021】図7および図8は、図2における判定手段41による直流電圧設定調整値 ΔV_{dc}^* の導出を示す図である。図7は、定常時における電圧波形 $|V_{ac}|$ と電流波形 $|I_{ac}|$ とPWMoutのONデューティとの関係を示すものである。PWMoutのONデューティは電圧がゼロ近傍では100%に近い値となる。また、入力電圧ピーク V_p においては、PWMoutのONデューティが最も少ない値 d_{min} となる。 d_{min} の値は、前後での入力電流変化の影響を無視すると、「 $(V_{dc}/V_p) - 1$ 」で表される。また、昇圧コンバータであることから「 $V_{dc} > V_p$ 」が必要条件である。例えば、「 $V_p > V_{dc}$ 」となっている場合には、 d_{min} は0になる。このとき、コンバータは入力電流波形の制御はできない状態になる。一方、PWMのON期間はスイッチング素子3a、3bでリアクトル6に電流を蓄えている期間であるので、その期間が長いほど損失が増加する。したがって V_{dc} をできるだけ低くすることが好ましい。ところが、入力交流電源の電圧は、電力事情などにより変動を受け、 V_p も同様に変動する。したがって、通常は V_{dc} は V_p の最大値を考慮して設定される。しかしながら、通常電源電圧であれば、 V_{dc} は高い目に設定されていることになり、効率が低下してしまう。図1の全体回路図には、交流側の電源電圧を検出する回路は含まれていない。

【0022】図8のフローチャートは、最適直流電圧設定値 V_{dc}^* を最適に調整するための直流電圧設定調整値 ΔV_{dc}^* の演算手順を示すものである。パルス幅変調デューティの最小値 d_{min} は制御回路10の内部に存在しているものとする。また、この処理は、入力電源の1周期期間に1回程度行われるものとする。判断81において、 d_{min} が所定の値 Δd より小さいかどうかを判断する。もし、「 $d_{min} < \Delta d$ 」であれば、処理82へと進み、そうでなければ処理83に進む。処理82では直流電圧設定調整値 ΔV_{dc}^* を微小増加させ、処理83では直流電圧設定調整値 ΔV_{dc}^* を微小減少させ、1回の調整作業を終了する。この処理を行うことにより、 V_p に対して V_{dc} があまり小さくなくて、デューティ最小値 d_{min} が小さくなりすぎた場合には、 V_{dc} を増大させる処理が行われるので、回路が略最小損失となる V_{dc} の調整値を得ることができる。

【0023】図9は、図1のリアクトル6の構成を示したものである。図9で明らかなように、共通のコア96

に対して、電流による磁界が同じ方向となるように同じ巻数のコイルが巻かれている。なお、図9では巻き付け方向をわかりやすくするために、巻数を少なく描いている。交流電源入力側の両側をリアクトルを経由させることにより、スイッチング素子3a、3bのスイッチングによる電位変動は、交流電源1から双方とも切り離され、ノイズを減少することができる。

【0024】図10は、図1の電流トランス13の入力処理に関する部分のブロック図と関連周波数特性図である。交流電源1の出力より電流トランス13にて電流を検出する。電流トランス13は受動素子であり、ゼロボルトを中心とした出力となるので、レベルシフト回路14にて、制御回路10で処理できる電圧範囲に変換する。電流トランス13の出力特性は特性(A)に示すように、低周波領域で感度が低下する特性を有している。このため、特性(B)を有する波形等化回路40を通すことにより実際の電流波形と同じ周波数特性の波形を得ることができる。さらに波形等価回路40の出力は折り返し回路39に入力して、入力電流の絶対値に変換される。波形等化回路40、折り返し回路39は、制御回路10のソフトウェアで容易に実現できる。これにより、簡易で電力を消費しない電流トランス13による制御が可能になる。

(第2の実施の形態)図11は、本発明にかかる第2の実施の形態における制御回路構成を示すブロック回路図である。本発明の第2の実施の形態の主回路構成は図1と同じ構成でも可能であり、あるいは、図19や図20の構成でも適用可能である。図11において、直流出力電圧値 V_{dc} は出力直流電圧設定値 V_{dc}^* と加減算回路37にて比較され、直流電圧誤差情報 V_{err} を得る。直流電圧誤差情報 V_{err} は補償フィルタ1132および判定手段1141に送られる。補償フィルタ1132は直流電圧制御系が安定に動作するためのものであり、判定手段1141は直流電圧誤差情報 V_{err} により補償フィルタ1132の動作を制御するものであり、この動作については後述する。補償フィルタ1132の出力は折り返し正弦波波形とともに乗算器31に送られて乗算結果を得、制限手段1145に送られ、制限が加えられた後、入力電流指令 $|I_{ac}|^*$ となる。制限を加える理由は後述する。折り返し正弦波波形は、図1、図2の場合には正弦波発生手段36の出力に相当し、図19の場合には抵抗111a、111bによる分圧結果に相当し、図20の場合にはトランス211の出力をブリッジ回路212a、212b、212c、212dで整流した結果に相当する。

【0025】入力電流指令 $|I_{ac}|^*$ は加減算回路38への入力電流の折り返し波形 $|I_{ac}|$ と加減算回路38で比較され、入力電流誤差情報 $|I_{ac}|_{err}$ を得て、補償フィルタ1133に送られる。また、入力電流指令 $|I_{ac}|^*$ はフィードフォワード演算手段1140に送ら

れ、直流出力電圧設定値 V_{dc*} とで、パルス幅変調出力値 PWM_{out} のフィードフォワード値の演算を行い、制御特性の改善を行う。フィードフォワード演算手段 1140 の内容は後述する。補償フィルタ 1133 では入力電流制御系が安定に動作するための補償演算を行い、その結果を加減算回路 1142 に送り、フィードフォワード演算手段 1140 の結果と加算する。加算結果は比較器 34 に送られ、発振器 35 の出力と比較されてパルス幅変調出力 PWM_{out} を得る。また、補償フィルタ処理、制限手段、加減算手段、フィードフォワード演算処理などの処理は、発振器 35 の出力信号の周期に同期して行われる。

【0026】図 12 は、図 11 における電圧誤差情報 V_{err} の補償フィルタ 1132 および判定手段 1141 の詳細ブロック図である。電圧誤差情報 V_{err} は判定手段 1141、および低域通過フィルタ 1203 に入力される。低域通過フィルタ 1203 は、電圧誤差情報 V_{err} に含まれている、電源周波数成分を除去するものである。低域通過フィルタ 1203 の出力はスイッチ手段 1201 および加算手段 1207 に送られる。判定手段 1141 では電圧誤差情報 V_{err} が一定以上になっている場合には、スイッチ手段 1201 を切るように制御を行う。スイッチ手段 1201 の出力は加算手段 1206 に送られる。加算手段 1206 では、遅延手段 1205 による 1 刻み時間前の情報を逐次加算する。すなわち、遅延手段 1205 と加算手段 1206 で積分器を構成している。加算手段 1206 の結果は定数倍手段 1204 を経由して加算手段 1207 に送られる。加算手段 1207 では、低域通過フィルタ 1203 の出力、すなわち積分器の手前の情報と、積分器の出力情報とを加算する。すなわち、「比例」+「積分」の処理を実現する。加算手段 1207 の出力は定数倍手段 1208 を経由して図 11 の乗算器 31 に送られる。

【0027】図 12 における動作原理を説明する。直流出力電圧の制御系は、電源力率を保つ前提から、電源周波数に対して、十分低い周波数成分にしか追従させることができない。すなわち、制御系の応答を速めることはできない。一方、定常偏差をなくすためには、積分器を挿入する必要がある。しかしながら、積分器を挿入することは位相遅れ要素となり、安定性を阻害するので、制御系全体の時定数に対して十分長い時定数にするしかない。すなわち、積分器の時定数は極めて長く設定する必要がある。結果として、起動時のように積分器の積分結果が定常とずれている場合には、定常偏差をなくすための積分型の補償要素を挿入する場合、積分器の時定数相当時間は正常な応答をしない場合があり、過大な電流が流れたり、過大な電圧を出力したりして、回路を損傷することがある。図 12 の構成にすれば、起動時などの電圧誤差の大きい時には積分器への入力が遮断されて、それまでの結果（初期状態ではゼロ）を保持する。

したがって、加算手段 1207 の出力は積分器を経由しない分のみとなり、積分器の時定数の影響を回避できる。定常偏差は生じるものの、電圧誤差情報が一定の範囲内にあれば、スイッチ手段 1201 が閉じることにより、積分器が動作し、定常偏差を解消する動作が開始される。

【0028】次に図 11 における制限手段 1145 の動作原理を説明する。制限手段 1145 は電源電圧変動、特に電源電圧低下時の安全動作のものである。電源電圧が低下した場合、同じ電流指令であるとする、直流出力電圧が低下する。その結果、電流指令を大きい値にするようにフィードバック制御がはたらく。しかしながら、電源電圧低下時に、同じ直流出力電圧を得るためには、極めて過大な電流指令となる。この指令通りの電流が流れると、実際の回路は損傷を起こしてしまう。制限手段 1145 はこれを回避するためのものであり、制限値は回路損傷が発生しない値に設定しておくことで実現できる。

【0029】逆に、電源電圧が急に上昇した場合には、直流出力電圧も上昇する。この値が所定値を超えている場合には、スイッチング素子をオフすることにより実現できる。これは、図 11 において、判定手段 1141 から比較手段 34 に強制オフ指令を与えることにより実現できる。

【0030】次に図 11 における電流制御系の補償フィルタ 1133 の動作について説明する。電流制御系は、パルス幅変調の ON デューティを増加すると現状よりも電流が増加する、積分系の応答を示す。このような制御系に対して、アナログ演算回路を用いた補償要素は図 15 に示すような構成がとられる。図 15 では演算増幅器を用いて、帰還ループに抵抗 R_2 とコンデンサ C_1 を直列にしたものとコンデンサ C_2 を並列に接続している。また、入力部分には抵抗 R_1 が挿入されている。図 16 は図 15 の回路の周波数特性を示したものである。図 16 に示すように、上図に示すように、振幅特性は低周波でゲインが増大し、中域で平坦、高周波で減衰する特性を有している。ここで、 $\omega_1 = 1 / (C_1 \cdot R_2)$ 、 $\omega_2 = 1 / (C_2 \cdot R_1)$ である。一方、下図に示すように、位相特性は低周波で 90 度遅れ、中域でゼロに近づき、高周波で再び 90 度遅れとなる特性である。したがって安定性を確保するには、位相遅れの最も少ない区間で制御系のループゲインが 1 となるように設定すればよい。低周波領域でゲインを増大するのは制御系の定常特性を改善する作用があり、高周波領域でゲインを下げるのはノイズなどで誤動作しないようにする作用があるからである。しかしながら、これまで説明したような、マイクロコンピュータなどのような時間刻みで動作する制御回路では、このような補償フィルタでは安定動作させることは困難である。なぜならば時間刻みで動作する場合には、検出した情報に対して制御演算結果が出力され

るまでは、演算時間を必要とすることや、検出した情報や演算結果が、次の刻み時間までは最新の情報が使用されないからである。

【0031】図13および図14は、このような場合に適切な補償フィルタ及びその特性を示している。図13は、 z 変換表現による補償フィルタの実現を示している。ブロック1301は時定数 K_i の積分処理であり、ブロック1302は移動平均フィルタ処理である。これらの2つの処理結果を加算手段1303にて加算して補償フィルタ演算処理を終了する。図14は、図13の処理結果の周波数特性を示している。上段は伝達特性の振幅特性であり、下段は位相特性である。振幅特性は、 $\omega_1 = 1/K_i$ より低い周波数で増加し、また、刻み周波数($1/T_s$)の半分の周波数(ナイキスト周波数)に近づくとき急激に減衰する。位相特性は、低周波では90度遅れの特性であり、中域で遅れが回復し、ナイキスト周波数に近づくとき急激に遅れ始める。したがって、位相が最も回復している周波数(ω_a)でループゲインが1になるように設定すると、十分な安定性を確保できることになる。この ω_a での周波数特性は、図16の周波数特性よりも位相遅れが少ないので、演算時間遅れなどによる安定性阻害を防止できる。なお、図13に示した補償フィルタ処理は、マイクロコンピュータのソフトウェアで容易に実現できることはいふまでもない。

【0032】図17および図18は、図13、図14の構成例を簡略化したものである。図17は図13と同様に、 z 変換による補償フィルタの実現を示している。ブロック1301、加算手段1303は図13と同じである。図17では、ブロック1702が図13の移動平均フィルタ処理1302に代わっている。ブロック1702の処理は何もしないことと同じであり、移動平均処理をスキップすることを示している。したがって演算処理を簡略化したものである。図18は、図17の処理結果の周波数特性であり、上段は伝達特性の振幅特性、下段は伝達特性の位相特性である。振幅特性、位相特性とも、 ω_1 より低い周波数域では図14の特性と同じである。移動平均処理がないためナイキスト周波数での振幅特性低下と位相遅れの増大はない。ただし、刻み時間毎の処理を行っているという前提からシステム全体として、ナイキスト周波数近傍では、振幅特性が大きく低下する特性を有しているため、ノイズなどによる誤動作は、十分回避できる。逆に、図13での方法は、ノイズ特性などをさらに改善したものになる。

【0033】次に図11のフィードフォワード要素1140の演算内容について説明する。フィードフォワード演算要素1140では、直流電圧設定値 V_{dc}^* と入力電流指令 $|I_{ac}|^*$ と入力電圧 $|V_{ac}|$ とリアクトル値 L を用いて、以下の演算を行う。

$$dff = (V_{dc}^* - |V_{ac}|) / V_{dc}^* + L \cdot (|I_{ac}|^* - |I_{ac}|_{old}) / V_{dc}^*$$

ここで、「 $|I_{ac}|_{old}$ 」は1刻み前の電流指令値である。この式の第一項は昇圧コンバータのデューティ計算式であり、第二項は電流変化に必要なデューティの計算式である。したがって、この演算を行うことにより、入力電流波形制御のための必要なデューティが予測でき、フィードバックによる特性改善の負担を軽減できる。

【0034】また、入力電圧 $|V_{ac}|$ は本発明の第1の実施の形態では推定波形になり、また、電源電圧の変動や部品のバラツキなどもあり得るので、上記の「 dff 」の算出値に対して、1よりも小さい値を乗じた値を実際に用いることも可能である。

【0035】また、これらの予測値の計算を、簡略化する方法として、下記の式による「 Dff' 」を用いることも可能である。

$$dff' = (V_{dc}^* - |V_{ac}|) / V_{dc}^*$$

また、同様の効果を有する方法として、上記の直流電圧設定値 V_{dc}^* のかわりに実際の直流電圧 V_{dc} や、入力電流指令 $|I_{ac}|^*$ のかわりに実際の入力電流値 $|I_{ac}|$ を用いることも可能である。

【0036】以上のように、本発明の第1及び第2の実施の形態によれば、下記に述べるような効果が得られる。

- (1) 入力電圧情報の検出部構成が小型で電源周波数を容易に同定できる。
- (2) 入力電圧情報を低損失で検出できる
- (3) 入力電源の変動に対しても安定動作できる
- (4) パルス幅変調出力の基準時刻と制御処理の刻みが同一にできて、制御回路の構成が簡単になる。
- (5) 入力電圧情報検出回路へのノイズの影響をキャンセルできる
- (6) 主回路損失が最も少なくなるような、直流出力電圧を実現できる。
- (7) スイッチングによるノイズを低減できる。
- (8) 回路電源を必要としない電流トランスが使用でき、検出回路損失が低減できる。
- (9) 積分演算が実現でき、出力電圧の定常偏差を解消できる。
- (10) 入力電源電圧の低下時に、過電流状態を回避でき、信頼性が向上する。
- (11) 入力電源電圧の上昇時に、過電圧状態を回避でき、信頼性が向上する。
- (12) 演算時間遅れなどの影響を回避でき、力率が改善できる。

(13) 入力電圧と設定値から予測デューティを求めることができ、フィードバック制御の負担を低減でき、力率が改善できる。

【0037】なお、上記実施の形態では、主回路構成として、図1(図20も同じ)もしくは図19の構成により説明したが、図22に示すように、スイッチング素子3a、3b、高速ダイオード4a、4bを一方のアーム

に設け、もう一方のアームには、整流ダイオード 2a、2b を設けて、制御回路 1110 により極性判別手段 111 の極性に基づき、リアクトル 106 側の電圧が高いときには、下側のスイッチング素子 3b を PWM 制御し、逆に、リアクトル 106 側の電圧が低いときには、上側のスイッチング素子 3a を PWM 制御することによっても同様のことが実現できる。

【0038】また、上記実施の形態では、電圧極性検出手段をフォトカプラを用いた構成としたが、これに限らず、電圧の極性が検出できれば他の方法を用いても良い。

【0039】

【発明の効果】以上述べたところから明らかなように本発明は、回路上、主回路電流の通過素子数を減らし、回路損失を低減し、効率向上を目指すと共に、主回路の損失のみではなく、簡単なる構成にて、検出回路の小型化・低損失化や低ノイズ化などを実現させ、かつ、高力率を得ることができるという長所を有する。

【図面の簡単な説明】

【図 1】(a)、(b) は、本発明にかかる第 1 の実施の形態のコンバータ回路を示す構成図である。

【図 2】同第 1 の実施の形態における制御回路の処理ブロック図である。

【図 3】上記図 2 における正弦波発生手段の動作を示す波形図である。

【図 4】上記図 2 における正弦波発生手段の動作を示す波形図である。

【図 5】上記図 2 における正弦波発生手段の動作を示す波形図である。

【図 6】上記図 2 における正弦波発生手段の動作を示す波形図である。

【図 7】同第 1 の実施の形態における直流電圧設定調整の動作原理を示す波形図である。

【図 8】同直流電圧設定調整の処理をしめすフローチャートである。

【図 9】同第 1 の実施の形態におけるリアクトルの構成を示す外観図である。

【図 10】同第 1 の実施の形態における電流トランスの情報処理を示す処理ブロック図である。

* 【図 11】本発明にかかる第 2 のコンバータ回路における制御回路の処理ブロック図である。

【図 12】同第 2 の実施の形態における電圧制御系の補償フィルタ処理を示す処理ブロック図である。

【図 13】同第 2 の実施の形態における電流制御系の補償フィルタ処理を示す処理ブロック図である。

【図 14】上記図 13 の周波数特性図である。

【図 15】従来の電流制御系の補償フィルタの回路図である。

【図 16】従来の電流制御系の補償フィルタの周波数特性図である。

【図 17】上記第 2 の実施の形態における電流制御系の補償フィルタ処理の別の構成例を示す処理ブロック図である。

【図 18】上記図 17 の周波数特性図である。

【図 19】従来のコンバータ回路を示す構成図である。

【図 20】従来の低損失コンバータ回路を示す構成図である。

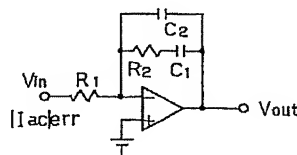
【図 21】従来例における制御回路の処理ブロック図である。

【図 22】本発明にかかる第 3 の実施の形態のコンバータ回路を示す構成図である。

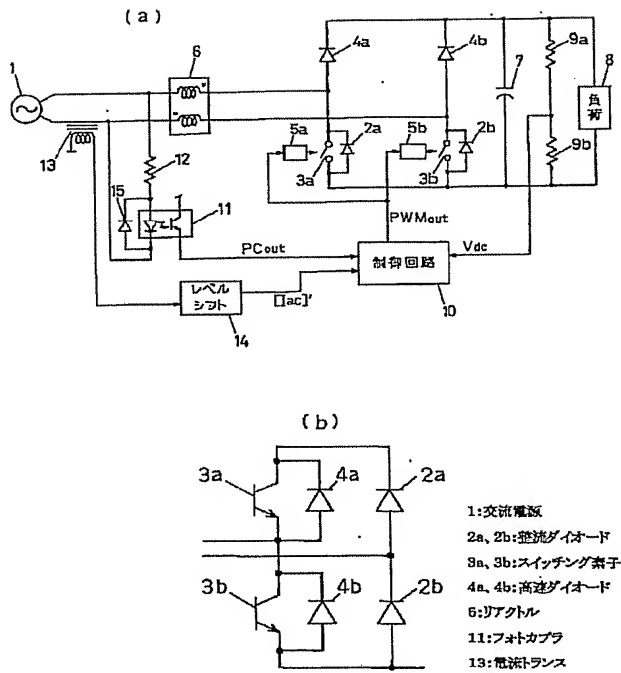
【符号の説明】

- 1 交流電源
- 2a、2b 整流ダイオード
- 3a、3b スwitchング素子
- 4a、4b 高速ダイオード
- 6 リアクトル
- 10 制御回路
- 11 フォトカプラ
- 13 電流トランス
- 36 正弦波発生手段
- 40 波形等化手段
- 41 判定手段
- 1140 フィードフォワード演算部
- 1141 判定部
- 1145 制限手段
- 1301 積分器
- 1302 移動平均手段

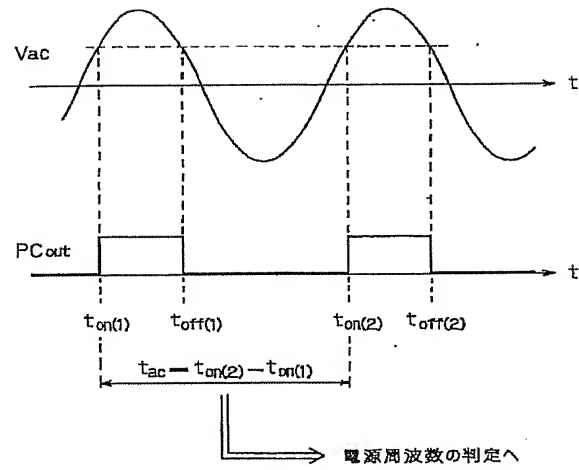
【図 15】



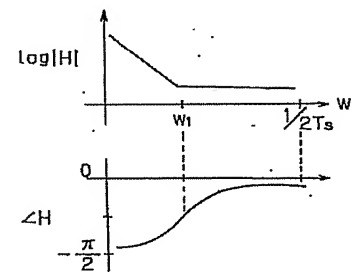
【図1】



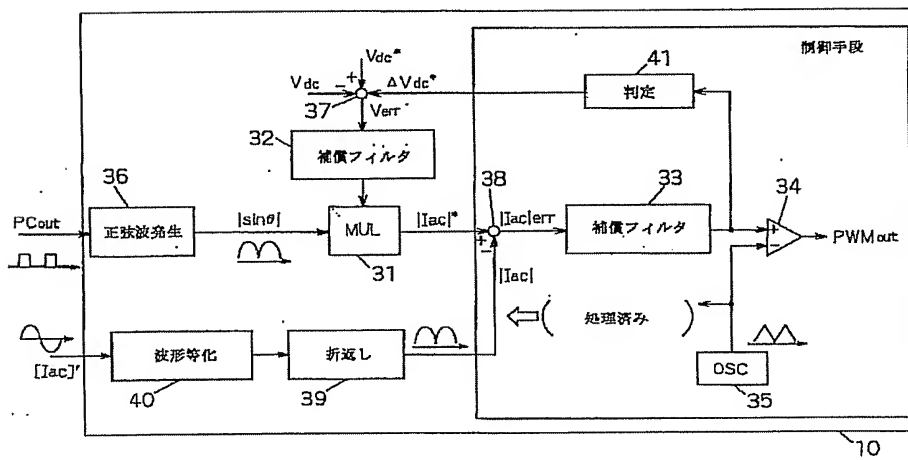
【図3】



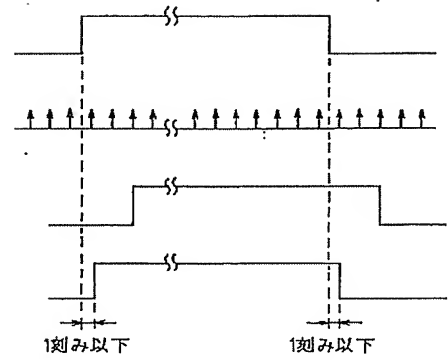
【図18】



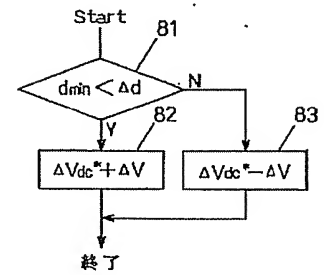
【図2】



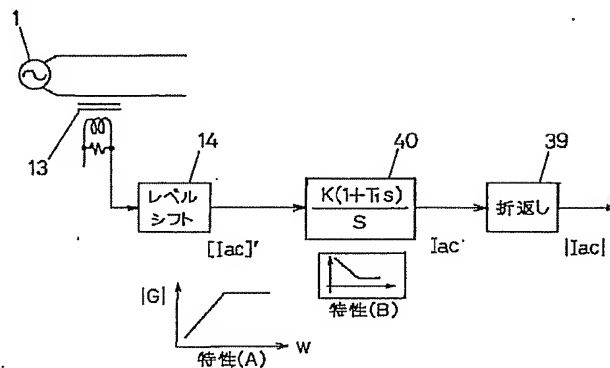
【図 6】



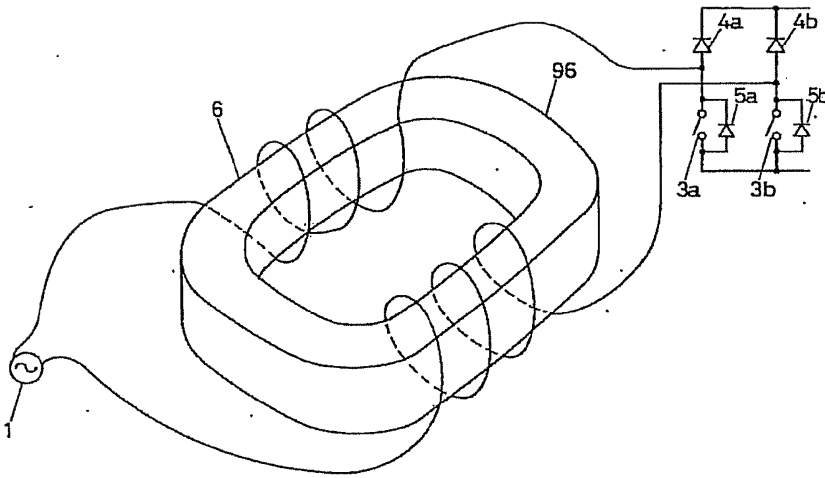
【図8】



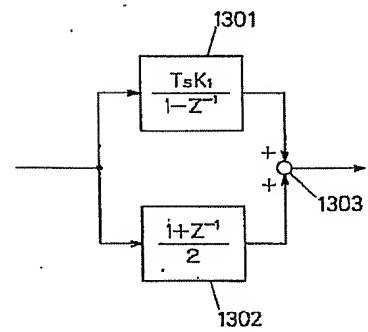
【図 10】



【図9】

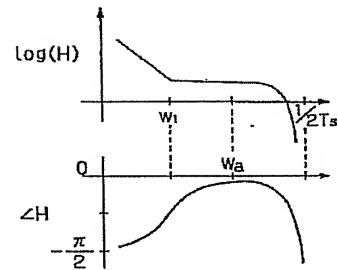
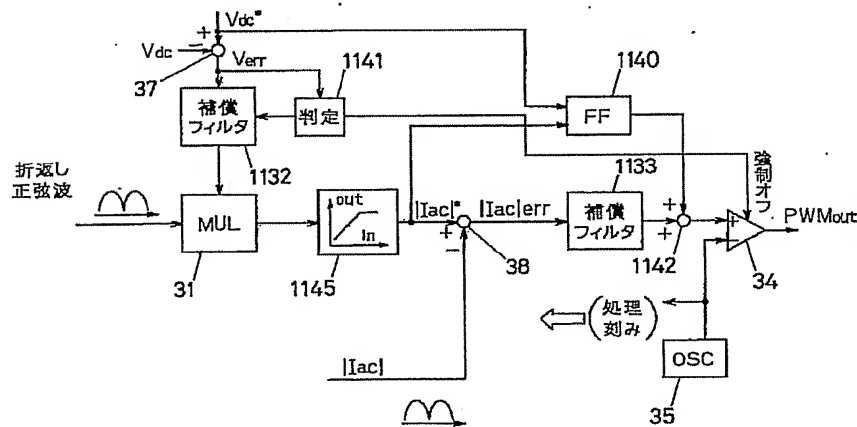


【図13】

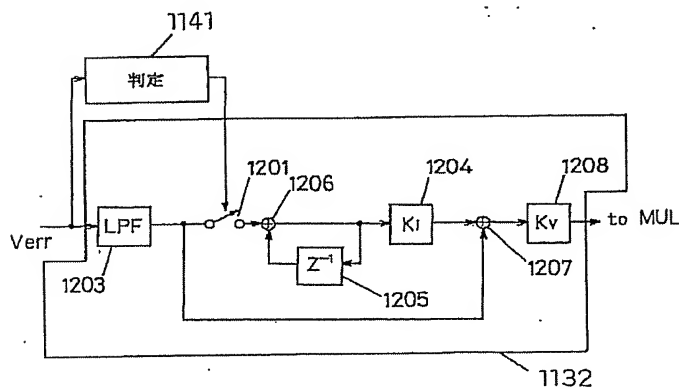


【図14】

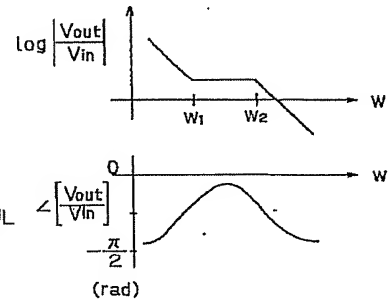
【図11】



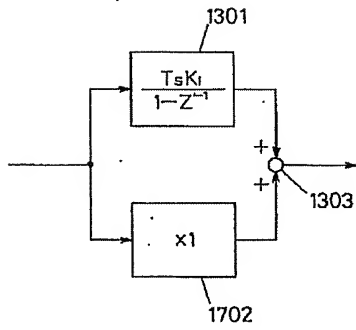
【図12】



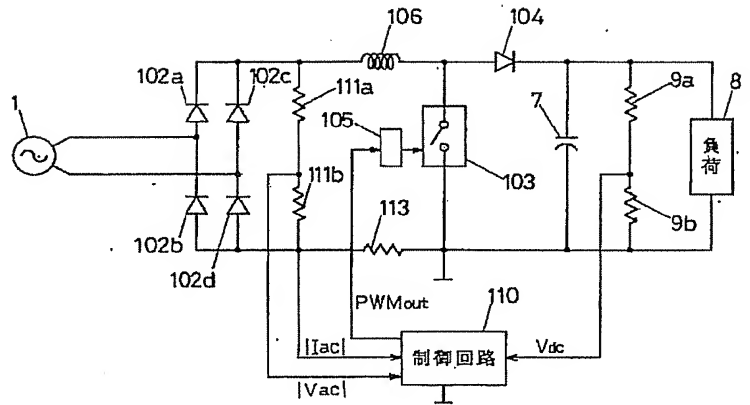
【図16】



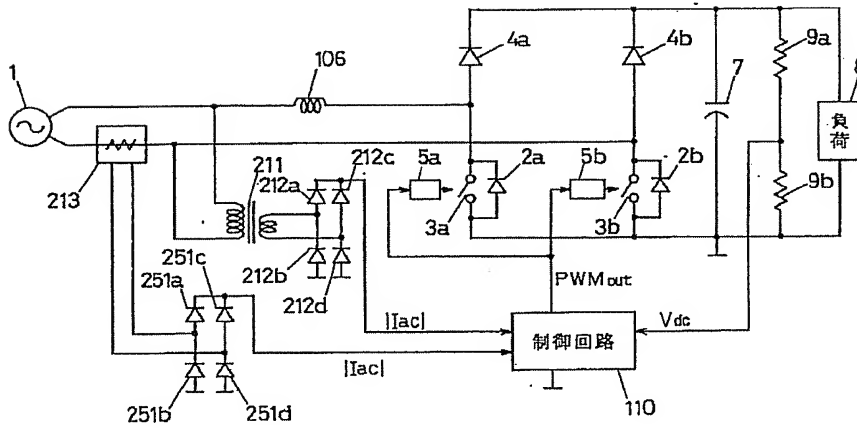
【図 17】



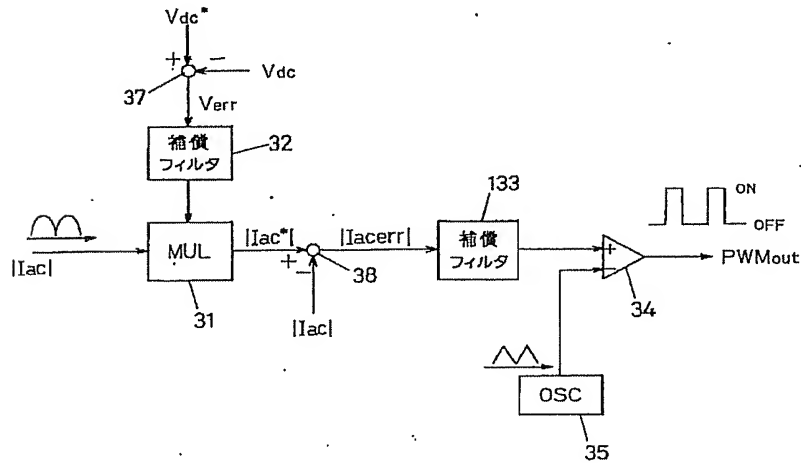
【図 19】



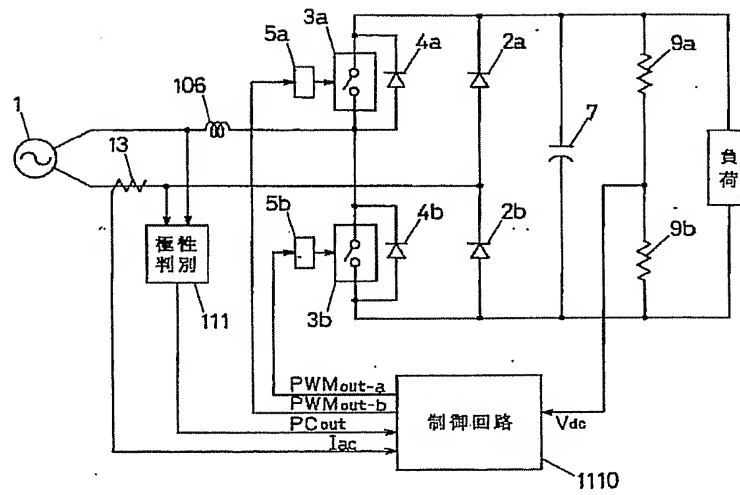
【図 20】



【図 21】



【図22】



フロントページの続き

(72)発明者 植田 光男
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小川 正則
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 松城 英夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内